

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

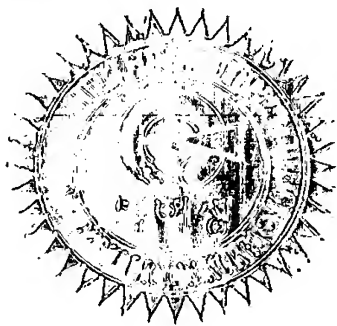
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0067697  
Application Number

출원년월일 : 2002년 11월 04일  
Date of Application NOV 04, 2002

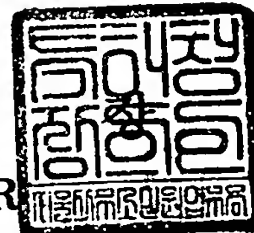
출원인 : 엘지전자 주식회사  
Applicant(s) LG Electronics Inc.



2003      년      08      월      05      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.11.04
【국제특허분류】	H03K
【발명의 명칭】	출력 구동회로
【발명의 영문명칭】	Output driving circuit
【출원인】	
【명칭】	엘지전자주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	정종욱
【대리인코드】	9-2001-000008-4
【포괄위임등록번호】	2002-027607-6
【대리인】	
【성명】	조담
【대리인코드】	9-1998-000546-2
【포괄위임등록번호】	2002-027605-1
【발명자】	
【성명의 국문표기】	이승현
【성명의 영문표기】	YI, SEUNG HYUN
【주민등록번호】	730101-1927234
【우편번호】	480-792
【주소】	경기도 의정부시 호원동 호원우성1차아파트 102동 1001호
【국적】	KR
【발명자】	
【성명의 국문표기】	홍국태
【성명의 영문표기】	HONG, KUK TAE
【주민등록번호】	671111-1093313

**【우편번호】** 463-060  
**【주소】** 경기도 성남시 분당구 이매동 111번지 진흥아파트 814동 402호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
정종욱 (인) 대리인  
조담 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 5 항 269,000 원  
**【합계】** 298,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

## 【요약서】

### 【요약】

집적소자에서 외부로 출력할 신호의 듀티비는 그대로 유지시키면서 전위레벨을 외부에서 요구하는 전위 레벨로 변환하여 출력한다.

집적소자에서 외부로 출력할 입력신호의 레벨 및 출력 인에이بل 신호의 레벨을 제 1 및 제 2 시프트 레지스터가 각기 집적소자의 외부에서 요구하는 레벨로 변환하고, 제 2 레벨 시프터의 출력신호에 따라 출력 구동부가 인에이블되면서 상기 제 1 레벨 시프터의 출력신호를 집적소자의 외부로 출력하며, 상기 제 1 및 제 2 시프트 레지스터 각각은, 입력신호 분할부가 입력신호 또는 출력 인에이블 신호를 지연시킴과 아울러 그 지연시킨 시간과 동일한 시간을 지연시키면서 반전시키고, 그 입력신호 분할부에서 생성된 두 신호의 레벨을 센스 증폭기가 동일한 지연 시간으로 집적소자의 외부에서 요구하는 레벨로 증폭하며, 상기 센스 증폭기에서 출력되는 두 신호를 신호 출력부가 상호간에 동일한 시간을 지연시키면서 그 두 신호에 따라 전위가 가변되는 펄스신호를 생성하여 상기 출력 구동부로 출력한다.

### 【대표도】

도 3

### 【색인어】

집적소자, 출력구동, 듀티비, 레벨시프터, 센스증폭기



## 【명세서】

## 【발명의 명칭】

출력 구동회로{Output driving circuit}

## 【도면의 간단한 설명】

도 1은 일반적인 출력 구동회로의 구성을 보인 블록도이고,

도 2는 출력 구동회로에 사용되는 종래의 레벨 시프터의 구성을 보인 상세 회로도이며,

도 3은 출력 구동회로에 사용되는 본 발명의 레벨 시프터의 구성을 보인 상세 회로도이

며,

도 4는 출력 구동회로에 사용되는 본 발명의 출력 구동부의 구성을 보인 상세 회로도이

다.

\* 도면의 주요 부분에 대한 부호의 설명 \*

100 : 제 1 레벨 시프터

110 : 제 2 레벨 시프터

120 : 출력 구동부

300 : 입력신호 분할부

310 : 센스 증폭기

320 : 펄스신호 생성부

INV21~INV25, INV31 : 인버터

TG21, TG22 : 전송 게이트

PM21~PM23, PM31 : 피모스 트랜지스터

NM21~NM23, NM31 : 엔모스 트랜지스터

NAND : 낸드 게이트

NOR : 노아 게이트

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 VLSI(Very Large Scale Integration) 등을 비롯한 각종 집적소자의 내부에서 집적소자의 외부로 소정의 신호를 출력할 경우에 그 출력할 신호의 전위레벨을 외부에서 요구하는 전위레벨로 변환하는 출력 구동회로에 관한 것으로 특히 외부로 출력할 신호의 듀티비(duty ratio)를 그대로 유지하면서 전위레벨만 외부에서 요구하는 전위레벨을 가지도록 변환하는 출력 구동회로에 관한 것이다.
- <14> 일반적으로 소정의 집적소자들은 내부에서 처리한 소정의 신호들을 외부로 출력하기 위한 출력 구동회로를 내장하고 있고, 그 출력 구동회로 내에는, 집적소자의 내부에서 사용하는 신호의 전위 레벨과 외부에서 요구하는 신호의 전위 레벨이 상이할 경우에 내부 신호의 전위레벨을 외부에서 요구하는 전위레벨로 변환하기 위한 레벨 시프터를 구비하고 있다.
- <15> 그러나 상기 레벨 시프터의 회로 특성은 입력신호의 전위레벨을 집적소자의 외부에서 요구하는 전위레벨로 시프트하면서 듀티비가 함께 변화되고, 이로 인하여 고속으로 동작하는 집적소자에는 사용할 수 없었다.
- <16> 이러한 종래의 기술을 도 1 및 도 2의 도면을 참조하여 상세히 설명한다.
- <17> 도 1은 일반적인 출력 구동회로의 구성을 보인 블록도이다. 이에 도시된 바와 같이 집적소자에서 외부로 출력할 입력신호(SIN)의 레벨을 집적소자의 외부에서 요구하는 레벨로 변환하는 제 1 레벨 시프터(100)와, 출력 인에이블 신호(OE)의 전위레벨을 집적소자의 외부에서 요구하는 전위레벨로 변환하는 제 2 레벨 시프터(110)와, 상기 제 2 레벨 시프터(110)의 출력신호

1020020067697

에 따라 인에이블되면서 상기 제 1 레벨 시프터(100)의 출력신호를 집적소자의 외부로 출력하는 출력 구동부(120)로 구성된다.

<18> 이와 같이 구성된 출력 구동회로는 외부로 출력할 입력신호(SIN) 및 출력 인에이블 신호(OE)를 제 1 레벨 시프터(100) 및 제 2 레벨 시프터(110)가 입력받아 집적소자의 외부에서 요구하는 전위레벨로 각기 시프트하고, 그 전위레벨을 시프트한 입력신호(SIN) 및 출력 인에이블 신호(OE)가 출력 구동부(120)로 입력되는 것으로서 출력 구동부(120)는 출력 인에이블 신호(OE)에 따라 상기 입력신호(SIN)를 집적소자의 외부에서 요구하는 전위레벨로 출력한다.

<19> 도 2는 종래의 제 1 및 제 2 레벨 시프터(100, 110)의 구성을 보인 상세 회로도이다. 이에 도시된 바와 같이 입력신호(SIN) 또는 출력 인에이블 신호(OE)를 순차적으로 반전 및 지연시키는 복수의 인버터(INV11, INV12)와, 상기 인버터(INV12)(INV11)의 출력신호를 증폭하는 센스 증폭기(200)와, 상기 센스 증폭기(200)의 하나의 출력단자의 출력신호를 순차적으로 반전시켜 상기 출력 구동부(120)로 출력하는 인버터(INV13, INV14)로 구성된다.

<20> 상기 센스 증폭기(200)는 미러(Mirror) 타입으로 구성되는 것으로 전원단자(Vdd)와 접지의 사이에 피모스 트랜지스터(PM11) 및 엔모스 트랜지스터(NM11)와, 피모스 트랜지스터(PM12) 및 엔모스 트랜지스터(NM12)가 각기 직렬 접속되어 피모스 트랜지스터(PM11)의 게이트가 피모스 트랜지스터(PM12) 및 엔모스 트랜지스터(NM12)의 접속점에 접속되고, 피모스 트랜지스터(PM12)의 게이트가 피모스 트랜지스터(PM11) 및 엔모스 트랜지스터(NM11)의 접속점에 접속되어 엔모스 트랜지스터(NM11)(NM12)의 게이트에 상기 인버터(INV21)(INV22)의 출력단자가 각기 접속되며, 상기 피모스 트랜지스터(PM11)의 게이트와 피모스 트랜지스터(PM12) 및 엔모스 트랜지스터(NM12)의 접속점이 출력단자로서 상기 인버터(INV13)의 입력단자가 접속된다.

<21> 상기에서 전원단자(Vdd)는 집적소자의 외부에서 요구하는 전위 레벨의 전원이 인가된다.

1020020067697

- <22> 이와 같이 구성된 종래의 제 1 및 제 2 레벨 시프터(100, 110)는 전원단자(Vdd)에 전원이 인가된 상태에서 입력신호(SIN) 또는 출력 인에이블 신호(OE)가 인버터(INV11)를 통해 반전되어 엔모스 트랜지스터(NM12)의 게이트에 인가됨과 아울러 인버터(INV12)를 다시 반전되어 엔모스 트랜지스터(NM11)의 게이트에 인가된다.
- <23> 그러면, 엔모스 트랜지스터(NM11)(NM12)는 상기 입력신호(SIN) 또는 출력 인에이블 신호(OE)에 따라 선택적으로 도통상태로 되고, 엔모스 트랜지스터(NM11)(NM12)가 선택적으로 도통상태로 된에 따라 피모스 트랜지스터(PM12)(PM11)가 선택적으로 도통 상태로 되어 피모스 트랜지스터(PM12) 및 엔모스 트랜지스터(NM12)의 접속점에서는 전원단자(Vdd)의 전위 레벨 즉, 집적소자의 외부에서 요구하는 전위레벨을 가지는 소정의 출력신호가 발생되며, 그 발생된 소정의 출력신호는 인버터(INV13, INV14)를 순차적으로 통해 출력 구동부(120)로 입력된다.
- <24> 예를 들면, 입력신호(SIN) 또는 출력 인에이블 신호(OE)가 고전위일 경우에 엔모스 트랜지스터(NM11)가 도통상태로 되어 피모스 트랜지스터(PM12)가 도통 상태로 되고, 엔모스 트랜지스터(NM12)가 차단상태로 되어 피모스 트랜지스터(PM11)가 차단상태로 되므로 전원단자(Vdd)의 전원인 고전위가 피모스 트랜지스터(PM12)를 통해 출력되어 그 출력된 고전위는 인버터(INV13, INV14)를 순차적으로 통해 출력 구동부(120)로 입력된다. 그리고 입력신호(SIN) 또는 출력 인에이블 신호(OE)가 저전위일 경우에 엔모스 트랜지스터(NM11)가 차단상태로 되어 피모스 트랜지스터(PM12)가 차단상태로 되고, 엔모스 트랜지스터(NM12)가 도통상태로 되어 피모스 트랜지스터(PM11)가 도통상태로 되므로 접지전위가 엔모스 트랜지스터(NM12)를 통해 출력되고 그 출력된 접지전위는 인버터(INV13, INV14)를 순차적으로 통해 출력 구동부(120)로 입력된다.
- <25> 이러한 종래의 제 1 및 제 2 레벨 시프터(100, 110)는 상기한 바와 같이 입력신호(SIN) 또는 출력 인에이블 신호(OE)가 인버터(INV11)를 통해 반전 및 지연되어 엔모스 트랜지스터



(NM12)의 게이트에 인가됨과 아울러 인버터(INV12)를 통해 다시 반전 및 지연되어 엔모스 트랜지스터(NM11)의 게이트에 인가되므로 엔모스 트랜지스터(NM11)(NM12)의 게이트에 인가되는 신호의 지연 시간이 서로 상이하다. 또한 입력신호(SIN) 또는 출력 인에이블 신호(OE)가 고전위일 경우에는 피모스 트랜지스터(PM12)가 도통상태로 되면서 고전위인 전원단자(Vdd)의 전원이 그 피모스 트랜지스터(PM12)를 통해 출력되고, 입력신호(SIN) 또는 출력 인에이블 신호(OE)가 저전위일 경우에는 엔모스 트랜지스터(NM12)가 도통상태로 되면서 저전위인 접지 전위가 엔모스 트랜지스터(NM12)를 통해 출력되는 것으로 센스 증폭기(200)에서 생성하는 고전위 및 저전위의 생성 경로(path)가 피모스 트랜지스터(PM12) 및 엔모스 트랜지스터(NM12)로 서로 상이하고, 그 피모스 트랜지스터(PM12)와 엔모스 트랜지스터(NM12)의 동작 지연시간도 서로 상이하다.

<26> 이와 같이 상기한 종래의 레벨 시프터(100, 110)는 센스 증폭기(200)의 두 입력단자에 인가되는 두 신호의 지연시간이 서로 상이하고, 또한 센스 증폭기(200)가 입력되는 두 신호에 따라 고전위 및 저전위를 출력할 때까지 소요되는 지연시간이 서로 상이하므로 소정 신호의 레벨을 시프트하여 외부로 출력할 경우에 그 신호의 듀티비가 가변되어 출력되고, 그 듀티비의 변화로 인하여 고속으로 동작하는 집적소자에는 사용할 수 없었다.

<27> 즉, 집적소자에서 처리하는 펄스신호의 듀티비가 50 : 50이고, 주기가 5ns라고 가정할 경우에 그 펄스신호의 고전위 기간(High time) 및 저전위 기간(Low time)은 각기 2.5ns이다. 이러한 펄스신호를 출력 구동회로의 제 1 및 제 2 레벨 시프터(100, 110)를 통해 전위레벨을 시프트시킬 경우에 그 제 1 및 제 2 레벨 시프터(100, 110)의 지연시간 차이로 인하여 고전위 기간이 1ns 정도 가변되어도 펄스신호의 고전위 기간 및 저전위 기간은 각기 1.5ns와 3.5ns로

1020020067697

변환되어 사용할 수 없는 신호로 되는 것으로서 고속으로 동작하는 집적회로에는 상기한 제 1 및 제 2 레벨 시프터(100, 110)를 사용할 수 없었다.

【발명이 이루고자 하는 기술적 과제】

- <28> 그러므로 본 발명의 목적은 소정 신호의 듀티비를 그대로 유지시키면서 전위레벨을 외부에서 요구하는 전위레벨로 정확히 변환하는 출력 구동회로를 제공하는데 있다.
- <29> 이러한 목적을 가지는 본 발명의 출력 구동회로는, 집적소자에서 외부로 출력할 입력신호의 레벨 및 출력 인에이بل 신호의 레벨을 제 1 및 제 2 시프트 레지스터가 각기 집적소자의 외부에서 요구하는 레벨로 변환하고, 제 2 레벨 시프터의 출력신호에 따라 출력 구동부가 인에이블되면서 상기 제 1 레벨 시프터의 출력신호를 집적소자의 외부로 출력하게 구성된다.
- <30> 그리고 상기 제 1 및 제 2 레벨 시프터들 각각은, 입력신호 또는 출력 인에이블 신호를 입력신호 분할부가 지연시켜 제 1 구동신호로 출력함과 아울러 그 제 1 구동신호와 동일한 시간을 지연 및 반전시켜 제 2 구동신호로 출력하고, 상기 입력신호 분할부에서 생성된 제 1 및 제 2 구동신호의 전위레벨을 센스 증폭기가 상호간에 동일한 시간씩 지연시키면서 집적소자의 외부에서 요구하는 전위레벨로 증폭하며, 상기 센스 증폭기에서 증폭된 제 1 및 제 2 구동신호를 출력 구동부가 각기 동일한 시간씩 지연시키면서 그 제 1 및 제 2 구동신호에 따라 전위가 가변되는 펄스신호를 생성하여 상기 출력 구동부로 출력하게 구성된다.
- <31> 이러한 본 발명에 따르면, 제 1 레벨 시프터와 제 2 레벨 시프터의 입력신호 분할부, 센스 증폭기 및 출력 구동부가 모두 입력신호와 출력 인에이블 신호를 동일한 시간씩 지연시켜 처리하므로 출력되는 신호의 듀티비는 입력신호의 듀티비는 정확하게 일치하고 전위 레벨은 집적소자의 외부에서 요구하는 전위레벨로 변환하여 출력한다.

## 【발명의 구성 및 작용】

- <32> 이하, 첨부된 도 3 및 도 4의 도면을 참조하여 본 발명의 출력 구동회로를 상세히 설명 하겠으며, 종래와 동일한 부위에는 동일 부호를 부여한다.
- <33> 도 3은 본 발명의 출력 구동회로에서 제 1 및 제 2 레벨 시프터(100, 110)의 구성을 보 인 상세 회로도이다. 이에 도시된 바와 같이 입력신호(SIN) 또는 출력 인에이블 신호(OE)가 인 버터(INV21, INV22)를 순차적으로 통해 지연되어 센스 증폭기(310)의 일측 입력단자(IN1)에 인 가됨과 아울러 인버터(INV21)의 출력신호가 전송 게이트(TG21)를 통해 상기 인버터(INV22)와 동일한 시간 지연되어 센스 증폭기(310)의 타측 입력단자(IN2)에 인가되게 입력신호 분할부 (300)가 구성된다.
- <34> 상기 센스 증폭기(310)는, 미러 타입으로 구성되는 것으로서 전원단자(Vdd)와 접지의 사 이에 피모스 트랜지스터(PM21) 및 엔모스 트랜지스터(NM21)와, 피모스 트랜지스터(PM22) 및 엔 모스 트랜지스터(NM22)가 각기 직렬 접속되어 제 1 입력단자(IN1)인 엔모스 트랜지스터(NM21) 의 게이트에는 상기 인버터(INV22)의 출력단자가 접속되고, 제 2 입력단자(IN2)인 엔모스 트랜 지스터(NM22)의 게이트에는 상기 전송 게이트(TG21)가 접속되며, 피모스 트랜지스터(PM21) 및 엔모스 트랜지스터(NM21)의 접속점에 피모스 트랜지스터(PM22)의 게이트가 접속되어 제 1 출력 단자(OUT1)가 형성되며, 피모스 트랜지스터(PM22) 및 엔모스 트랜지스터(NM22)의 접속점에 피 모스 트랜지스터(PM21)의 게이트가 접속되어 제 2 출력단자(OUT2)가 형성된다.
- <35> 그리고 전원단자(Vdd)와 접지의 사이에 피모스 트랜지스터(PM23) 및 엔모스 트랜지스터 (NM23)가 직렬 접속되어, 상기 센스 증폭기(310)의 제 1 출력단자(OUT1)가 인버터(INV23) 및 전송 게이트(TG22)가 순차적으로 통해 상기 피모스 트랜지스터(PM23)의 게이트에 접속되고, 상 기 센스 증폭기(310)의 제 2 출력단자(OUT2)가 인버터(INV24, INV25)를 순차적으로 통해 엔모

1020020067697

스 트랜지스터(NM23)의 게이트에 접속되며, 피모스 트랜지스터(PM23) 및 엔모스 트랜지스터(NM23)의 접속점은 인버터(INV26)를 통해 출력 구동부(120)에 접속되어 펄스신호 생성부(320)가 구성된다.

<36> 이와 같이 구성된 본 발명의 제 1 및 제 2 레벨 시프터(100, 110)는, 전원단자(Vdd)에 전원이 인가된 상태에서 입력신호(SIN) 또는 출력 인에이블 신호(OE)가 입력신호 분할부(300)의 인버터(INV21, INV22)를 통해 순차적으로 지연되어 제 1 구동신호로 출력됨과 아울러 상기 인버터(INV21)의 출력신호가 전송 게이트(TG21)를 통해 분리 및 지연되어 제 2 구동신호로 출력되고, 그 인버터(INV22) 및 전송 게이트(TG21)에서 각기 분리 출력된 제 1 구동신호 및 제 2 구동신호는 센스 증폭기(310)의 제 1 입력단자(IN1)인 엔모스 트랜지스터(NM21)의 게이트와 제 2 입력단자(IN2)인 엔모스 트랜지스터(NM22)의 게이트에 각기 인가된다.

<37> 상기 센스 증폭기(310)는 상기 제 1 입력단자(IN1) 및 제 2 입력단자(IN2)로 인가되는 두 신호에 따라 엔모스 트랜지스터(NM21)(NM22)가 선택적으로 도통상태로 되고, 엔모스 트랜지스터(NM21)(NM22)가 선택적으로 도통 상태로 됨에 따라 피모스 트랜지스터(PM22)(PM21)가 선택적으로 도통상태로 되어 출력단자(OUT1)(OUT2)에서 선택적으로 고전위가 출력된다.

<38> 예를 들면, 입력신호(SIN) 또는 출력 인에이블 신호(OE)가 고전위일 경우에 센스 증폭기(310)의 엔모스 트랜지스터(NM21)의 게이트에 고전위가 인가되므로 엔모스 트랜지스터(NM21)가 도통상태로 되어 피모스 트랜지스터(PM22)가 도통상태로 되고, 전원단자(Vdd)의 전원이 피모스 트랜지스터(PM22)를 통해 제 2 출력단자(OUT2)로 출력된다. 그리고 입력신호(SIN) 또는 출력 인에이블 신호(OE)가 저전위일 경우에 센스 증폭기(310)의 엔모스 트랜지스터(NM22)의 게이트에 고전위가 인가되므로 엔모스 트랜지스터(NM22)가 도통상태로 되어 피모스 트랜지

스터(PM21)가 도통상태로 되고, 전원단자(Vdd)의 전원이 피모스 트랜지스터(PM21)를 통해 제 1 출력단자(OUT1)로 출력된다.

<39> 이와 같이 센스 증폭기(310)의 제 1 출력단자(OUT1)로 출력되는 신호는 펄스신호 생성부(320)의 인버터(INV23) 및 전송 게이트(TG22)를 통해 반전 및 지연되어 피모스 트랜지스터(PM23)의 게이트에 인가되고, 센스 증폭기(310)의 제 2 출력단자(OUT2)로 출력되는 신호는 인버터(INV24, INV24)를 순차적으로 통해 지연되어 펄스신호 생성부(320)의 엔모스 트랜지스터(NM23)의 게이트에 인가되는 것으로서 펄스신호 생성부(320)는 센스 증폭기(310)의 출력신호에 따라 피모스 트랜지스터(PM23) 및 엔모스 트랜지스터(NM23)가 선택적으로 도통상태로 되어 고전위 또는 저전위를 발생하고, 그 발생한 고전위 또는 저전위는 인버터(INV26)를 통해 반전되어 출력 구동부(120)로 출력된다.

<40> 이러한 본 발명의 제 1 및 제 2 레벨 시프터(100, 110)는, 입력신호 분할부(300)가 입력신호(SIN) 또는 출력 인에이블 신호(OE)를 2로 분리하여 센스 증폭기(310)의 제 1 입력단자(IN1) 및 제 2 입력단자(IN2)에 인가하고, 그 입력신호 분할부(300)의 인버터(INV22)와 전송 게이트(TG21)의 지연시간은 상호간에 동일하므로 센스 증폭기(310)의 제 1 입력단자(IN1) 및 제 2 입력단자(IN2)에 인가되는 두 신호는 극성이 서로 반대이고, 지연시간은 상호간에 동일하다. 그리고 센스 증폭기(310)는 제 1 입력단자(IN1) 및 제 2 입력단자(IN2)로 입력되는 두 신호에 따라 피모스 트랜지스터(PM21)(PM22)가 선택적으로 도통상태로 되면서 전원단자(Vdd)의 전원이 그 피모스 트랜지스터(PM21)(PM22)를 통해 제 1 출력단자(OUT1) 및 제 2 출력단자(OUT2)로 출력되므로 제 1 출력단자(OUT1) 및 제 2 출력단자(OUT2)로 출력되는 두 신호의 지연시간도 상호간에 동일하다. 또한 상기 센스 증폭기(310)의 제 1 출력단자(OUT1) 및 제 2 출력단자(OUT2)에서 출력되는 두 신호는 펄스신호 생성부(320)의 인버터(INV23) 및 전송 게이트

(TG22)와, 인버터(INV24, INV25)를 통해 피모스 트랜지스터(PM23) 및 엔모스 트랜지스터(NM23)의 게이트에 인가되므로 피모스 트랜지스터(PM23) 및 엔모스 트랜지스터(NM23)의 게이트에 인가되는 두 신호의 지연시간도 상호간에 동일하므로 펄스신호 생성부(320)에서 출력되는 펄스신호는 입력신호(SIN) 또는 출력 인에이블 신호(OE)와 듀티비가 완전히 동일하고, 전위레벨만 전원단자(Vdd)의 전위레벨로 시프트되어 출력된다.

<41> 도 4는 본 발명의 출력 구동부(120)의 구성을 보인 상세 회로도이다. 이에 도시된 바와 같이 제 1 시프트 레지스터(100)의 출력단자가 낸드 게이트(NAND) 및 노아 게이트(NOR)의 일측 입력단자에 접속되고, 제 2 시프트 레지스터(110)의 출력단자가 노아 게이트(NOR)의 타측 입력단자에 접속됨과 아울러 인버터(INV31)를 통해 낸드 게이트(NAND)의 타측 입력단자에 접속된다. 그리고 전원단자(Vdd)와 접지의 사이에 피모스 트랜지스터(PM31) 및 엔모스 트랜지스터(NM31)가 직렬 접속되고 피모스 트랜지스터(PM31) 및 엔모스 트랜지스터(NM31)의 게이트에 상기 낸드 게이트(NAND) 및 노아 게이트(NOR)의 출력단자가 각기 접속되어 피모스 트랜지스터(PM31) 및 엔모스 트랜지스터(NM31)의 접속점에서 집적소자의 오비로 출력할 출력신호가 출력되게 구성된다.

<42> 이와 같이 구성된 본 발명의 출력 구동부(120)는, 전원단자(Vdd)에 전원이 인가된 상태에서 제 2 레벨 시프터(110)에서 출력되는 출력 인에이블 신호(OE)가 고전위일 경우에 그 고전위가 노아 게이트(NOR)의 타측 입력단자에 인가됨과 아울러 인버터(INV31)를 통해 저전위로 반전되어 낸드 게이트(NAND)의 타측 입력단자에 인가되므로 제 2 레벨 시프터(110)에서 출력되는 신호의 전위에 관계없이 낸드 게이트(NAND)는 고전위를 출력하고, 노아 게이트(NOR)는 저전위를 출력하여 피모스 트랜지스터(PM31) 및 엔모스 트랜지스터(NM31)는 모두 차단상태로 되고, 외부로 아무런 신호도 출력하지 않게 된다.

- <43> 그리고 제 2 레벨 시프터(110)에서 출력되는 출력 인에이블 신호(OE)가 저전위일 경우에 그 저전위가 노아 게이트(NOR)의 타측 입력단자에 인가됨과 아울러 인버터(INV31)를 통해 고전위로 반전되어 낸드 게이트(NAND)의 타측 입력단자에 인가된다.
- <44> 이와 같은 상태에서 제 1 레벨 시프터(100)로부터 고전위가 입력될 경우에 낸드 게이트(NAND) 및 노아 게이트(NOR)가 모두 저전위를 출력하게 되므로 피모스 트랜지스터(PM31)가 도통상태로 되고, 엔모스 트랜지스터(NM31)가 차단상태로 되어 전원단자(Vdd)의 전원이 피모스 트랜지스터(PM31)를 통해 집적소자의 외부로 출력된다.
- <45> 그리고 제 1 레벨 시프터(100)로부터 저전위가 입력될 경우에는 상기와는 반대로 낸드 게이트(NAND) 및 노아 게이트(NOR)가 모두 고전위를 출력하게 되므로 피모스 트랜지스터(PM31)가 차단상태로 되고, 엔모스 트랜지스터(NM31)가 도통상태로 되어 접지전위인 저전위가 엔모스 트랜지스터(NM31)를 통해 집적소자의 외부로 출력된다.
- <46> 한편, 상기에서는 본 발명을 특정의 바람직한 실시 예에 관련하여 도시하고 설명하였지만, 이하의 특허청구범위에 의해 마련되는 본 발명의 정신이나 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변화될 수 있다는 것을 당 업계에서 통상의 지식을 가진 자는 용이하게 알 수 있다.

#### 【발명의 효과】

- <47> 이상에서 설명한 바와 같이 본 발명은 출력신호가 입력신호와 동일한 듀티비를 가지게 되고, 전위레벨만 외부에서 요구하는 전위레벨로 시프트되는 것으로서 고속으로 동작하는 집적소자에 간단히 적용하여 사용할 수 있다.

## 【특허청구범위】

## 【청구항 1】

집적소자에서 외부로 출력할 입력신호의 레벨을 집적소자의 외부에서 요구하는 레벨로 변환하는 제 1 레벨 시프터;

출력 인에이블 신호의 레벨을 집적소자의 외부에서 요구하는 레벨로 변환하는 제 2 레벨 시프터; 및

상기 제 2 레벨 시프터의 출력신호에 따라 인에이블되면서 상기 제 1 레벨 시프터의 출력신호를 집적소자의 외부로 출력하는 출력 구동부를 구비하고,

상기 제 1 및 제 2 레벨 시프터 각각은;

입력신호 또는 출력 인에이블 신호를 지연시켜 제 1 구동신호로 출력함과 아울러 그 제 1 구동신호와 동일한 시간을 지연 및 반전시켜 제 2 구동신호로 출력하는 입력신호 분할부;

상기 입력신호 분할부에서 생성된 제 1 및 제 2 구동신호의 전위레벨을 집적소자의 외부에서 요구하는 전위레벨로 증폭하는 센스 증폭기; 및

상기 센스 증폭기에서 증폭된 제 1 및 제 2 구동신호를 각기 동일한 시간씩 지연시키면서 그 제 1 및 제 2 구동신호에 따라 전위가 가변되는 펄스신호를 생성하여 상기 출력 구동부로 출력하는 펄스신호 생성부로 구성된 출력 구동회로.

## 【청구항 2】

제 1 항에 있어서, 상기 입력신호 분할부는;

상기 입력신호 또는 출력 인에이블 신호를 순차적으로 반전 및 지연시켜 제 1 구동신호를 발생하는 인버터(INV11, INV12); 및



상기 인버터(INV11)의 출력신호를 상기 인버터(INV12)와 동일한 시간만큼 지연시켜 제 2 구동신호를 발생하는 전송 게이트(TG21)로 구성됨을 특징으로 하는 출력 구동회로.

### 【청구항 3】

제 1 항에 있어서, 상기 센스 증폭기는;

미러 타입으로 형성되는 것으로 전원단자(Vdd)와 접지의 사이에 피모스 트랜지스터(PM21)(PM22) 및 엔모스 트랜지스터(NM21)(NM22)가 각기 직렬 접속되어 엔모스 트랜지스터(NM21)의 게이트에 상기 입력신호 분할부의 제 1 구동신호의 출력단자가 접속되고 엔모스 트랜지스터(NM22)의 게이트에는 상기 입력신호 분할부의 제 2 구동신호의 출력단자가 접속되며, 제 1 출력단자(OUT1)인 피모스 트랜지스터(PM21) 및 엔모스 트랜지스터(NM21)의 접속점에 상기 피모스 트랜지스터(PM22)의 게이트가 접속되고, 제 2 출력단자(OUT2)인 피모스 트랜지스터(PM22) 및 엔모스 트랜지스터(NM22)의 접속점에 상기 피모스 트랜지스터(PM21)의 게이트가 접속되는 것을 특징으로 하는 출력 구동회로.

### 【청구항 4】

제 1 항에 있어서, 상기 펄스신호 생성부는;

전원단자(Vdd)와 접지의 사이에 피모스 트랜지스터(PM23) 및 엔모스 트랜지스터(NM23)가 직렬 접속되어, 상기 센스 증폭기의 제 1 출력단자(OUT1)가 인버터(INV23) 및 전송 게이트(TG22)가 순차적으로 통해 상기 피모스 트랜지스터(PM23)의 게이트에 접속되고, 상기 센스 증폭기(310)의 제 2 출력단자(OUT2)가 인버터(INV24, INV25)를 순차적으로 통해 엔모스 트랜지스터(NM23)의 게이트에 접속되며, 피모스 트랜지스터(PM23) 및 엔모스 트랜지스터(NM23)의 접속점은 인버터(INV26)를 통해 출력 구동부(120)에 접속되는 것을 특징으로 하는 출력 구동회로.



【청구항 5】

제 1 항에 있어서, 상기 출력 구동부는;

상기 제 2 레벨 시프터의 출력신호를 반전시키는 인버터(INV31);

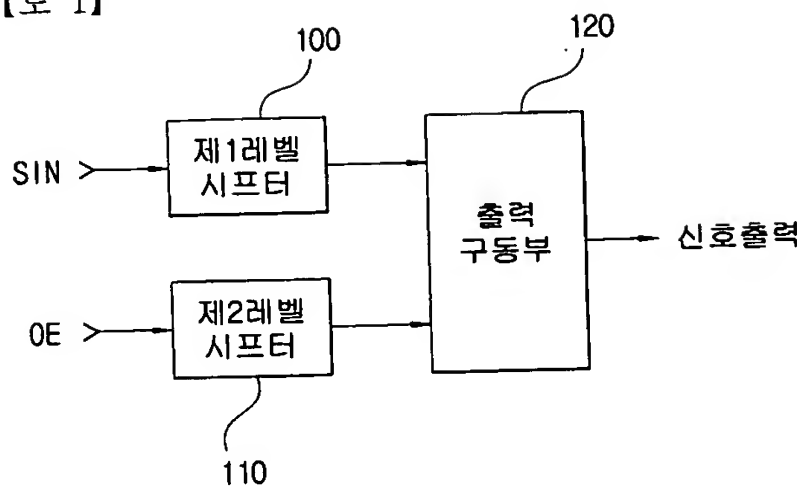
상기 제 1 레벨 시프터의 출력신호 및 상기 인버터(INV31)의 출력신호를 반전 논리 곱하는 낸드 게이트(NAND);

상기 제 1 레벨 시프터 및 제 2 레벨 시프터의 출력신호를 반전 논리 합하는 노아 게이트(NOR); 및

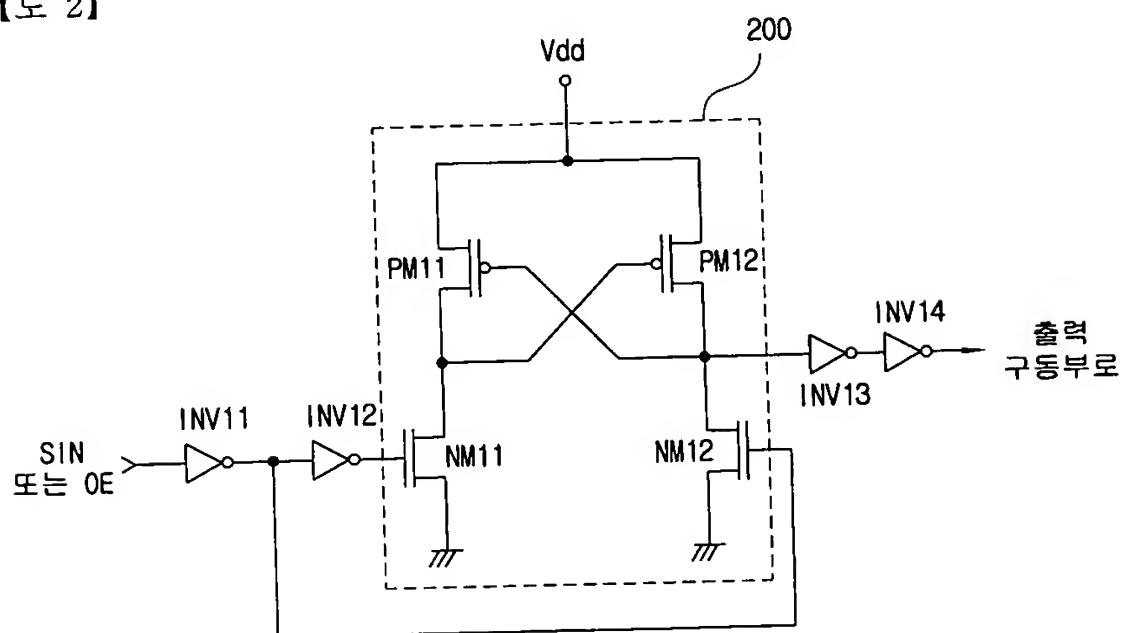
상기 낸드 게이트(NAND) 및 노아 게이트(NOR)의 출력신호에 따라 선택적으로 도통상태로 되면서 전원단자(Vdd)의 전위 또는 접지 전위를 선택적으로 출력하는 피모스 트랜지스터(PM31)와 엔모스 트랜지스터(NM31)로 구성됨을 특징으로 하는 출력 구동회로.

【도면】

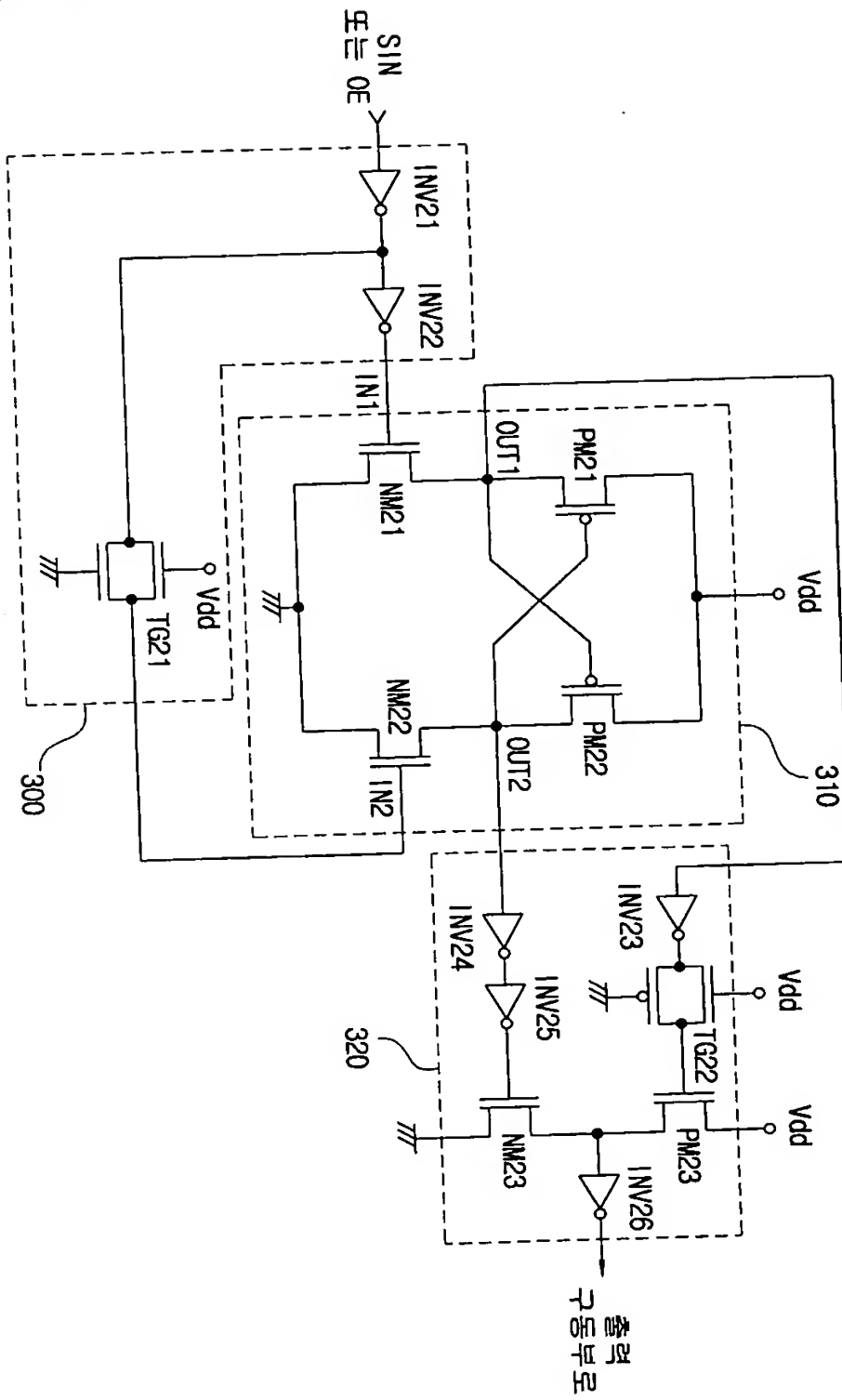
【도 1】



【도 2】



【도 3】



【도 4】

